

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Patent number:	JP2003188375
Publication date:	2003-07-04
Inventor:	KOYAMA MASATO; NISHIYAMA AKIRA
Applicant:	TOSHIBA CORP
Classification:	
- international:	H01L29/78; H01L21/8238; H01L27/092; H01L29/43
- european:	
Application number:	JP20010384498 20011218
Priority number(s):	

Also published as:

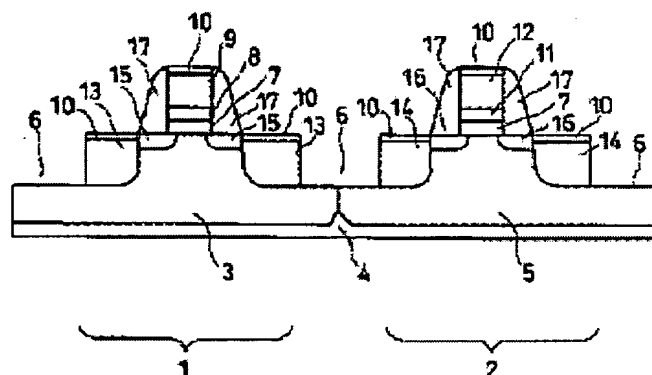


US2003122199 (A1)

Abstract of JP2003188375

PROBLEM TO BE SOLVED: To provide a semiconductor device having a gate electrode whose resistance has been lowered, which is free from lowering of the insulating-film capacitance due to depletion, and which is free from the problem of impurity intrusion into the substrate.

SOLUTION: This semiconductor device is provided with a silicon layer 3, a gate insulating film 7 formed on the silicon layer 3, a metal-boride layer 8 formed on the gate insulating film 7, and a gate electrode 9 formed on the metal-boride layer 8 and containing at least silicon.



Data supplied from the *esp@cenet* database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-188375
(P2003-188375A)

(43) 公開日 平成15年7月4日 (2003.7.4)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)	
H 0 1 L	29/78	H 0 1 L	29/78	3 0 1 G 4 M 1 0 4
	21/8238		27/08	3 2 1 D 5 F 0 4 8
	27/092		29/62	G 5 F 1 4 0
	29/43			

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21) 出願番号 特願2001-384498 (P2001-384498)

(22) 出願日 平成13年12月18日 (2001. 12. 18)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 小山 正人

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 西山 彰

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100081732

弁理士 大胡 典夫 (外2名)

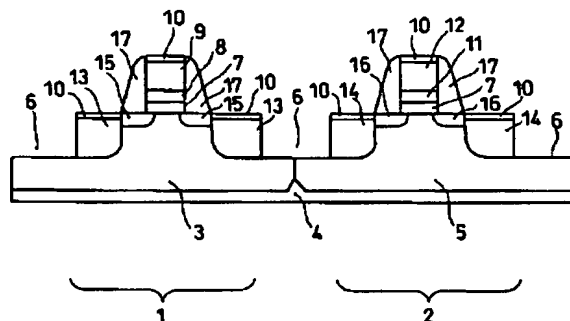
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート電極の低抵抗化、空乏化による絶縁膜容量低下、不純物突き抜け問題のないゲート電極を有する半導体装置を提供することを目的とする。

【解決手段】 シリコン層3と、シリコン層3上に形成されたゲート絶縁膜7と、ゲート絶縁膜7上に形成された金属ボロン化合物層8と、金属ボロン化合物層8上に形成された少なくともシリコンを含むゲート電極9とを具備する半導体装置。



【特許請求の範囲】

【請求項 1】シリコン層と、

前記シリコン層上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された金属ボロン化合物層と、
前記金属ボロン化合物層上に形成された少なくともシリコンを含むゲート電極とを具備することを特徴とする半導体装置。

【請求項 2】n 型シリコン層と、

前記 n 型シリコン層上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された金属ボロン化合物層と、
前記金属ボロン化合物層上に形成された少なくともシリコンを含むゲート電極とを具備する p チャネル MOS トランジスタ及び p 型シリコン層と、
前記 p 型シリコン層上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された金属珪化物層と、
前記金属珪化物層上に形成された少なくともシリコンを含むゲート電極とを具備する n チャネル MOS トランジスタとを有する CMOS トランジスタが基板上に形成された半導体装置。

【請求項 3】前記金属ボロン化合物層中に含まれる金属と前記金属珪化物層中に含まれる金属が同じ元素であり、前記金属ボロン化合物層の自由エネルギーの絶対値が、前記金属珪化物層の自由エネルギーの絶対値よりも大きくなるような金属を用いることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】前記ゲート電極に、ゲルマニウムを含むことを特徴とする請求項 1 乃至請求項 3 記載の半導体装置。

【請求項 5】前記金属ボロン化合物層は、チタン、ジルコニウム、ハフニウムから選ばれる少なくとも一つの金属を含有し、前記ゲート絶縁膜は、ジルコニウム、ハフニウム、チタン、タンタル、アルミニウム、イットリウム、ランタン、セリウム或いはその他の希土類元素のいずれかから選ばれる少なくとも一つの金属の酸化膜であることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載された半導体装置。

【請求項 6】前記金属ボロン化合物層の原子組成比が、金属：ボロン＝1：1.5～2であることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載された半導体装置。

【請求項 7】シリコン基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に金属薄膜を形成する工程と、
前記金属薄膜上に少なくともシリコンを含む薄膜を形成する工程と、
前記薄膜中の少なくとも一部にボロンを添加する工程と、
前記金属薄膜の全てと、前記薄膜の一部を反応させ金属

珪化物層を形成する工程と、
前記金属珪化物層の一部をボロンと反応させ金属ボロン化合物層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 8】シリコン基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に金属薄膜を形成する工程と、
前記金属薄膜上に少なくともシリコンを含む薄膜を形成する工程と、

10 前記薄膜の第 1 の領域にボロンを添加する工程と、
前記薄膜の第 2 の領域に n 型ドーパントを添加する工程と、
前記金属薄膜の全てと、前記薄膜の一部を反応させ金属珪化物層を形成する工程と、
前記第 1 の領域における前記金属珪化物層の一部をボロンと反応させ金属ボロン化合物層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 9】シリコン基板上に金属が添加されたゲート絶縁膜を形成する工程と、
20 前記ゲート絶縁膜上に少なくともシリコンを含む薄膜を形成する工程と、
前記薄膜の第 1 の領域にボロンを添加する工程と、
前記薄膜の第 2 の領域に n 型ドーパントを添加する工程と、
前記ゲート絶縁膜の表面に添加された金属と、前記薄膜の一部を反応させ金属珪化物層を形成する工程と、
前記第 1 の領域における前記金属珪化物層の一部をボロンと反応させ金属ボロン化合物層を形成すると工程とを具備することを特徴とする半導体装置の製造方法。

30 【請求項 10】シリコン基板上に金属酸化物からなるゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の表面を還元する工程と、
前記ゲート絶縁膜上に少なくともシリコンを含む薄膜を形成する工程と、
前記薄膜の第 1 の領域にボロンを添加する工程と、
前記薄膜の第 2 の領域に n 型ドーパントを添加する工程と、
前記ゲート絶縁膜の表面に存在する還元された金属と、
前記薄膜の一部を反応させ金属珪化物層を形成する工程と、
40 前記第 1 の領域における前記金属珪化物層の一部をボロンと反応させ金属ボロン化合物層を形成すると工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 11】前記薄膜にゲルマニウムが含有されていることを特徴とする請求項 7 乃至請求項 10 のいずれかに記載された半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】ゲート長がサブミクロン ($0.1\mu\text{m}$) 世代のCMOS (Complementary Metal-Oxide-Semiconductor) デバイスを製造する場合、ゲート電極としてそれよりも前の世代に用いられているシリコンをそのまま利用することができない可能性が高い。

【0003】その第1の理由は、シリコンは比抵抗が数十 Ω/\square と高いため、ゲート電極として用いるとRC遅延がデバイス動作において無視できなくなるためである。ゲート長がサブミクロン世代のデバイスでは、ゲート電極の比抵抗が $2\Omega/\square$ 以下とならなければRC遅延を無視できないと考えられている。

【0004】さらに第2の理由として、シリコンゲート電極が空乏化してしまう問題がある。これはシリコン中に添加されるドーパント不純物の固溶限界がたかだか $1 \times 10^{20} \text{ cm}^{-3}$ 程度であり、シリコンゲート電極とゲート絶縁膜の界面においてシリコンゲート電極側に有限の長さの空乏層が広がってしまう現象である。

【0005】この空乏層は実質的にゲート絶縁膜に直列に接続された容量となるため、ゲート絶縁膜にこの容量が上乗せされてしまうことになる。この上乗せされた容量は、酸化シリコン換算膜厚で 0.3nm とされている。将来のデバイスのゲート絶縁膜は、酸化シリコン換算膜厚 1.5nm 以下が要求されるものであり、この上乗せされた容量の酸化シリコン換算膜厚 0.3nm は無視できない厚さである。

【0006】一方シリコンゲート電極に高濃度の不純物(リン或いはボロン等)を添加することによって、抵抗を下げる試みがされている。しかしながらサブミクロン世代において、ゲート絶縁膜の厚さは酸化シリコン換算膜厚 1.5nm 以下が要求されており、この高濃度の不純物が、薄膜化されたゲート絶縁膜を通過し、シリコン基板に到達してしまう問題が顕在化する。これによりチャネル領域の不純物濃度が設計とずれてしまいしきい値電圧が変動してしまう問題が生じる。

【0007】そこで、モリブデン、タングステン、タンタルなどの高融点金属或いはこれらの窒化物をゲート電極に用いることが考えられている。これは、いわゆるメタルゲート技術である。

【0008】メタルゲートは、原理的にシリコンよりも比抵抗が低いことからRC遅延は無視できる。また、メタルゲートは、原理的に空乏層が発生しないので上乗せされる容量は発生しない。さらに、メタルゲートは、低抵抗化のための不純物を添加する必要が無いので不純物がゲート絶縁膜を付き抜ける問題はないなどシリコンゲートの問題を解決できることで期待されている。

【0009】しかしながら、メタルゲートは、CMOSデバイスを作成する場合に、以下に挙げる特有の問題がある。

【0010】メタルゲートは、CMOSデバイスを形成する場合、 p^+ シリコンの仕事関数を持つ金属材料と n^+ シリコンの仕事関数を持つ金属材料を、それぞれpチャネルMOSトランジスタ及びnチャネルMOSトランジスタのゲート電極として用いる、いわゆるデュアル ϕ (ファイ)メタルゲート技術が提案されている。

【0011】こうすることで、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタのしきい値電圧は完全に制御することができる。ただし、デュアル ϕ メタルゲートは、 p^+ シリコンの仕事関数を持つ金属材料と n^+ シリコンの仕事関数を持つ金属材料をそれぞれ見つけ出し、さらにそれらの材料が耐熱性を有さなければならないことなどの制約があり、最適な材料の組み合わせを見つけることはかなり困難と予測される。

【0012】また、よしんば耐熱性を有し仕事関数も適正な値を持つ2種の金属材料が発見されたとしても、LSIの製造工程としては、pチャネルMOSトランジスタとnチャネルMOSトランジスタのゲート電極を別々の工程で形成する必要が生じ、製造工程が複雑化する問題がある。

【0013】

【発明が解決しようとする課題】上述のように、従来のシリコンゲート電極は比抵抗が高いため、RC遅延が無視できなくなり、シリコンゲート電極が空乏化することによって容量が低下してしまう、さらにはシリコンゲート電極から不純物がゲート絶縁膜を付き抜けてしきい値電圧が変動してしまう問題がある。

【0014】また、ゲート電極として、2種の金属ゲート(デュアル ϕ メタルゲート技術)をnチャネルMOS及びpチャネルMOSに用いる方法では、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタのゲート電極に用いる金属材料の組み合わせを発見することが極めて困難であると予測されるばかりでなく、製造工程が複雑化する問題がある。

【0015】本発明は、上記問題を考慮してなされたもので、ゲート電極の低抵抗化、空乏化による絶縁膜容量低下、不純物突き抜け問題のないゲート電極を有する半導体装置を提供することを目的とする。

【0016】また、本発明は、シリコンプロセスを用いた簡単な方法により上記半導体装置を製造する方法を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明は、シリコン層と、前記シリコン層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された金属ボロン化合物層と、前記金属ボロン化合物層上に形成された少なくともシリコンを含むゲート電極とを具備することを特徴とする半導体装置を提供する。

【0018】また、本発明は、n型シリコン層と、前記n型シリコン層上に形成されたゲート絶縁膜と、前記ゲ

ート絶縁膜上に形成された金属ボロン化合物層と、前記金属ボロン化合物層上に形成された少なくともシリコンを含むゲート電極とを具備するpチャネルMOSトランジスタ及びp型シリコン層と、前記p型シリコン層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された金属珪化物層と、前記金属珪化物層上に形成された少なくともシリコンを含むゲート電極とを具備するnチャネルMOSトランジスタとを有するCMOSトランジスタが基板上に形成された半導体装置を提供する。

【0019】このとき、前記前記金属ボロン化合物層中に含まれる金属と前記金属珪化物層中に含まれる金属が同じ元素であり、前記金属ボロン化合物層の自由エネルギーの絶対値が、前記金属珪化物層の自由エネルギーの絶対値よりも大きくなるような金属を用いることが好ましい。

【0020】また、前記ゲート電極に、ゲルマニウムを含むことが好ましい。

【0021】また、前記金属ボロン化合物層は、チタン、ジルコニウム、ハフニウムから選ばれる少なくとも一つの金属を含有し、前記ゲート絶縁膜は、ジルコニウム、ハフニウム、チタン、タンタル、アルミニウム、イットリウム、ランタン、セリウム或いはその他の希土類元素のいずれかから選ばれる少なくとも一つの金属の酸化膜であることが好ましい。

【0022】また、本発明は、前記金属ボロン化合物層の原子組成比が、金属：ボロン＝1：1.5～2であることが好ましい。

【0023】また、本発明は、シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に金属薄膜を形成する工程と、前記金属薄膜上に少なくともシリコンを含む薄膜を形成する工程と、前記薄膜中の少なくとも一部にボロンを添加する工程と、前記金属薄膜の全と、前記薄膜の一部を反応させ金属珪化物層を形成する工程と、前記金属珪化物層の一部をボロンと反応させ金属ボロン化合物層を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0024】また、本発明は、シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に金属薄膜を形成する工程と、前記金属薄膜上に少なくともシリコンを含む薄膜を形成する工程と、前記薄膜の第1の領域にボロンを添加する工程と、前記薄膜の第2の領域にn型ドーパントを添加する工程と、前記金属薄膜の全と、前記薄膜の一部を反応させ金属珪化物層を形成する工程と、前記第1の領域における前記金属珪化物層の一部をボロンと反応させ金属ボロン化合物層を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0025】また、本発明は、シリコン基板上に金属が添加されたゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に少なくともシリコンを含む薄膜を形成する工

程と、前記薄膜の第1の領域にボロンを添加する工程と、前記薄膜の第2の領域にn型ドーパントを添加する工程と、前記ゲート絶縁膜の表面に添加された金属と、前記薄膜の一部を反応させ金属珪化物層を形成する工程と、前記第1の領域における前記金属珪化物層の一部をボロンと反応させ金属ボロン化合物層を形成すると工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0026】また、本発明は、シリコン基板上に金属酸化物からなるゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の表面を還元する工程と、前記ゲート絶縁膜上に少なくともシリコンを含む薄膜を形成する工程と、前記薄膜の第1の領域にボロンを添加する工程と、前記薄膜の第2の領域にn型ドーパントを添加する工程と、前記ゲート絶縁膜の表面に存在する還元された金属と、前記薄膜の一部を反応させ金属珪化物層を形成する工程と、前記第1の領域における前記金属珪化物層の一部をボロンと反応させ金属ボロン化合物層を形成すると工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0027】このとき、前記薄膜にゲルマニウムが含有されていることが好ましい。

【0028】また、金属ボロン化合物層或いは金属珪化物層の金属としては、Ti（チタン）が好ましいが、Tiと同属元素であるZr（ジルコニウム）やHf（ハフニウム）等も化学的性質が似ているので用いることができる可能性もある。

【0029】

【発明の実施の形態】以下、本発明について、図面を用いて詳細に説明する。ただし本発明は以下の実施形態に限定されるものではなく、種々工夫して実施することができる。

【0030】（実施形態1）図1は、本発明における半導体装置の断面図である。

【0031】図1に示すように、この半導体装置は、n型シリコン層3と、この上に形成されたゲート絶縁膜7と、この上に形成された金属ボロン化合物層8と、この上に形成されたp⁺多結晶シリコンからなるゲート電極9とを具備するものである。

【0032】図1には示していないが、n型シリコン層3内のゲート絶縁膜7を挟む位置には、n⁺シリコン領域からなるソース領域及びドレイン領域を具備している。これらからpチャネルMOSトランジスタを構成している。

【0033】この半導体装置では、ゲート絶縁膜7上に金属ボロン化合物層8を形成している点に特徴がある。金属ボロン化合物層8は、導電性を示し、比抵抗が十分低く金属的な振るまいをするため、p⁺多結晶シリコンからなるゲート電極9におけるゲート寄生抵抗を低抵抗化しかつ空乏層が広がる問題もない。

【0034】一例として、金属ボロン化合物の金属材料としてチタンを用いた場合を述べる。チタンボロン化合物の比抵抗は $10\mu\Omega\text{cm}$ 程度であり、メタルゲート材料と比較しても遜色無い値を示す。チタンの他に金属材料としてジルコニウム、ハフニウム等を挙げることができる。いずれの金属材料もその金属ボロン化合物の抵抗値は十分低くかつ空乏層が広がる問題もない。

【0035】また、さらに本発明は、図1に示すpチャネルMOSトランジスタと図2に示すnチャネルMOSトランジスタが同一基板上に配置された半導体装置とすることが好ましい。

【0036】図2に示すnチャネルMOSトランジスタは、p型シリコン層5と、この上に形成されたゲート絶縁膜7と、この上に形成された金属珪化物層11と、この上に形成された n^+ 多結晶シリコンからなるゲート電極12とを具備するものである。

【0037】図2には示していないが、p型シリコン層5内のゲート絶縁膜7を挟む位置には、 p^+ シリコン領域からなるソース領域及びドレイン領域を具備している。これらからnチャネルMOSトランジスタを構成している。

【0038】本発明では、pチャネルMOSトランジスタには、金属ボロン化合物層8をゲート絶縁膜7と p^+ 多結晶シリコンゲート電極9との間に形成している。金属ボロン化合物層8は、 p^+ 多結晶シリコンの仕事関数に極めて近い仕事関数を持つことからしきい値を制御する上で大きな問題は生じない。nチャネルMOSトランジスタには、金属珪化物層11をゲート絶縁膜7と n^+ 多結晶シリコンゲート電極7との間に形成している。金属珪化物層11は、 n^+ 多結晶シリコンの仕事関数に極めて近い仕事関数を持つことから、同様にしきい値を制御する上で大きな問題は生じない。

【0039】このように本発明では、pチャネルMOSトランジスタには、金属ボロン化合物層8を、nチャネルMOSトランジスタには、金属珪化物層11を、それぞれゲート絶縁膜7及びゲート電極9、11間に挿入することで、それぞれのしきい値を良好に制御することが可能となる。

【0040】図3に、金属ボロン化合物層8及び金属珪化物層11の金属材料の一例としてチタンを用いた場合について、チタンボロン化合物(TiB_2)、チタン珪化物(TiSi_2)及びシリコン($n^+\text{Si}$ 、 $p^+\text{Si}$)のバンド図の関係を述べる。

【0041】pチャネルMOSトランジスタに用いられるチタンボロン化合物の仕事関数は4.8乃至5.2eV、nチャネルMOSトランジスタに用いられるチタン珪化物の仕事関数は4.4eVであり、それぞれ p^+ 多結晶シリコンの仕事関数5.2eV、 n^+ 多結晶シリコンの仕事関数4.1eVに極めて近い値を示していることが分かる。したがって、pチャネルMOSトランジ

スタ及びnチャネルMOSトランジスタのそれぞれのしきい値を良好に制御することができる。

【0042】また、チタン珪化物の比抵抗は $20\mu\Omega\text{cm}$ 以下であり、メタルゲート材料と比較しても遜色ない値である。

【0043】次に、図4に、図1に示すpチャネルMOSトランジスタ及び図2に示すnチャネルMOSトランジスタを同一基板上に形成したCMOSデバイスの断面図を示す。

【0044】図4に示すように、pチャネルMOSトランジスタ1とnチャネルMOSトランジスタ2がシリコン基板4上に、シャロートレンチ構造の素子分離6によって互いに分離された状態で作りこまれている。

【0045】pチャネルMOSトランジスタ1が形成されている領域のシリコン基板4上にはNシリコンウェル3が形成されている。またnチャネルMOSトランジスタ2のシリコン基板4上にはPシリコンウェル5が形成されている。

【0046】pチャネルMOSトランジスタ1は、Nシリコンウェル3上に形成されたゲート絶縁膜7と、この上に形成された金属ボロン化合物層8と、この上に形成された p^+ 多結晶シリコン電極9と、この上に形成されたサリサイド10とからなる積層構造(MIS構造)を具備している。この積層構造の側壁には、ゲート側壁17が形成されている。

【0047】Nシリコンウェル3中のゲート絶縁膜7を挟む位置には高濃度に不純物を添加した深い p^+ 不純物拡散層13と浅い p^+ 不純物拡散層15が形成されており、これらによってソース及びドレインの役割を果たす。深い p^+ 不純物拡散層13上には、サリサイド10が形成されている。

【0048】一方、nチャネルMOSトランジスタ2が形成されている領域のシリコン基板4上にはPシリコンウェル5が形成されている。

【0049】nチャネルMOSトランジスタ2は、Pシリコンウェル5上に形成されたゲート絶縁膜7と、この上に形成された金属珪化物層11と、この上に形成された n^+ 多結晶シリコン電極12と、この上に形成されたサリサイド10とからなる積層構造(MIS構造)を具備している。この積層構造の側壁には、ゲート側壁17が形成されている。

【0050】Pシリコンウェル5中のゲート絶縁膜7を挟む位置には高濃度に不純物を添加した深い n^+ 不純物拡散層14と浅い n^+ 不純物拡散層16が形成されており、これらによってソース及びドレインの役割を果たす。深い n^+ 不純物拡散層14上には、サリサイド10が形成されている。

【0051】次に、図5乃至図11を参照して、図5に示すCMOSデバイスの製造方法を説明する。

【0052】まず、図5に示すように、シリコン基板4

上に、シャロートレンチ構造の素子分離6を形成する。次に、Nシリコンウェル3及びPシリコンウェル5を形成した後、ゲート絶縁膜7を形成する。

【0053】ゲート絶縁膜7としては酸化シリコン(SiO_2)膜、シリコン酸窒化(SiON)膜、その他金属酸化膜、金属シリケート膜などを使用できる。また、金属酸化膜の場合、ジルコニウム、ハフニウム、チタン、タンタル、アルミニウム、イットリウム、ランタン、セリウム或いはその他の希土類元素のいずれかから選ばれる少なくとも一つの金属の酸化膜を用いることが

【0054】次に、図6に示すように、ゲート絶縁膜7上に金属薄膜18を堆積する。ここでは金属薄膜としてチタン膜を化学気相堆積法によって厚さ1nm堆積した。

【0055】金属材料としては、チタンの他に、ジルコニウム、ハフニウム等を用いることが可能である。また、成膜法としては、基板の段差に密着して均一に成膜できるCVD法を用いることが好ましいが、蒸着法、スパッタ法を用いてもほぼ同様の効果が得られる。また、金属薄膜18の膜厚は、0.5nm以上2nm以下であることが望ましい。0.5nm以上としたのはこれ以下の膜厚であると、基板上にピンホール等が発生する可能性があり金属薄膜が2次的に不連続な構造となってしまう可能性があるためである。一方その膜厚を2nm以下としたのは、これ以上の厚さの金属薄膜では後の工程でボロン化合物を形成するときに金属リッチな組成となってしまう、金属リッチなボロン化合物は化学的に不安定であるためである。このとき金属ボロン化合物の膜厚は、1nm以上4nm以下となる。金属珪化物の膜厚も、1nm以上4nm以下となる。

【0056】次に、図7に示すように、通常の方法によって、金属薄膜18上に、ノンドープの多結晶シリコン層19を堆積する。ここでは一例として、 SiH_4 ガスをを用いた化学気相堆積法によって、多結晶シリコン層19を厚さ200nm堆積した。

【0057】次に、図8に示すように、pチャネルMOSトランジスタとなる領域1のノンドープの多結晶シリコン層19にアクセプタ不純物となるボロンを添加しp型不純物添加された多結晶シリコン層20を形成する。

【0058】一方nチャネルMOSトランジスタとなる領域2のノンドープの多結晶シリコン層19にドナー不純物となるリン或いは砒素等を添加しn型不純物添加された多結晶シリコン21を形成する。

【0059】不純物添加の方法としてはイオン注入法、気相拡散法等を用いることが可能である。このときボロン不純物添加は、金属薄膜18まで達しないようにノンドープの多結晶シリコン層19の表面近傍にのみ行う必要がある。そうでないと、この不純物添加の工程において金属薄膜18とボロンが反応をおこし、均一性が損な

われる恐れがあるためである。

【0060】ここでは通常のプロセスで用いられるイオン注入法により、pチャネルMOSトランジスタが形成される領域1のノンドープの多結晶シリコン層19に対して、ドーズエネルギー30keV、ドーズ量 $5 \times 10^{15} / \text{cm}^2$ の注入条件で BF_3 をイオン注入した。

【0061】一方、nチャネルMOSトランジスタが形成される領域2のノンドープの多結晶シリコン19に対して、ドーズエネルギー50keV、ドーズ量 $3 \times 10^{15} / \text{cm}^2$ の注入条件でAsをイオン注入した。

【0062】次に、図9に示すように、第1の熱処理(700℃～800℃)を施すことによって、pチャネルMOSトランジスタが形成される領域1及びnチャネルMOSトランジスタが形成される領域2の金属薄膜18の全てが多結晶シリコン20及び21の一部と反応し、均一かつ平坦な金属珪化物層11が形成される。

【0063】ここでは一例として、750℃、30秒、 Ar 雰囲気での熱処理を行うことにより、厚さ1nmのチタン薄膜18と多結晶シリコン20及び21と反応して厚さ約2nmのチタン珪化物(TiSi_2 (C49))層11が形成された。

【0064】次に、図10に示すように、第1の熱処理よりも高温の第2の熱処理(850℃～1000℃)を施すことによって、pチャネルMOSトランジスタが形成される領域1の金属珪化物層11のみを、多結晶シリコン層20に添加されたボロンと反応させて、均一かつ平坦な金属ボロン化合物8を形成する。

【0065】ここでは一例として、1000℃、20秒、窒素雰囲気での熱処理を行うことにより、チタン珪化物(TiSi_2 (C49))層11とボロンを反応させてチタンボロン化合物(TiB_2)層8を形成した。

【0066】このとき、nチャネルMOSトランジスタが形成される領域2のチタン珪化物(TiSi_2 (C49))層11はチタン珪化物(TiSi_2 (C54))層11へと相転移し、比抵抗が低減する。この際、チタン珪化物(TiSi_2 (C54))層11の平坦性は保持されている。

【0067】さらに、この第2の熱処理工程によって、多結晶シリコン層20及び21に添加された不純物の電気的活性化も同時に行なわれ、 p^+ 多結晶シリコン層9及び n^+ 多結晶シリコン層12が形成される。

【0068】次に、図11に示すように、pチャネルMOSトランジスタの領域1では、ゲート絶縁膜7、金属ボロン化合物層8、 p^+ 多結晶シリコン電極9及びサリサイド10からなる積層構造(MIS構造)をゲート加工工程により形成する。一方nチャネルMOSトランジスタの領域2では、ゲート絶縁膜7、金属珪化物層11、 n^+ 多結晶シリコン電極12及びサリサイド10からなる積層構造(MIS構造)をゲート加工により同時に形成する。

【0069】ここでは一例としてCF系の反応ガスを用いた反応性イオンエッチングによってp⁺多結晶シリコン電極9、n⁺多結晶シリコン電極12、チタンボロン化合物層8、チタン珪化物層11をエッチングし、別の既存のガス系によってゲート絶縁膜7をエッチングした。チタンボロン化合物及びチタン珪化物は、シリコンエッチングガスと同じガス系で十分加工することが可能である。チタンの他に、ジルコニウム或いはハフニウムを置き換えても同様である。

【0070】次に、図4に示すように、上記積層部をマスクとして自己整合的にイオン注入により浅い不純物拡散層15及び16を形成する。次に、積層部の側壁にゲート側壁17を酸化シリコン等にて形成する。次に、ゲート側壁17をマスクとして自己整合的にイオン注入により深い不純物拡散層13及び14を形成する。最後に、深い不純物拡散層13及び14上にサリサイド10を形成することによって、完成する。

【0071】上記したCMOSデバイスの製造方法で最も重要なのは、pチャネルMOSトランジスタ1及びnチャネルMOSトランジスタ2ともに、第1の熱処理によって金属珪化物層11を形成しておいて、第2の熱処理によって、pチャネルMOSトランジスタ1のみに、多結晶シリコン層20に添加されたボロンの一部と金属珪化物層11を反応させて金属ボロン化合物層7を形成する点である。

【0072】こうすることで、従来のシリコンプロセスから熱処理を一回増やすだけの工程の追加によって、pチャネルMOSトランジスタ1及びnチャネルMOSトランジスタ2の双方にそれぞれ適した仕事関数を有する金属ボロン化合物及び金属珪化物を電極の一部として形成することが可能となる。さらに、熱処理においては、金属ボロン化合物層8及び金属珪化物層11の均一性、平坦性を向上させることもできる。

【0073】すなわち第1の熱処理においては、金属薄膜とシリコンゲート電極を、化学的に安定な金属珪化物が平坦かつ均一に形成される条件の熱処理で反応させておく。この状態で、pチャネルMOSトランジスタ1及びpチャネルMOSトランジスタ2ともに均一かつ平坦な金属珪化物電極が形成される。

【0074】そして第2の熱処理において、pチャネルMOSトランジスタ1の領域に形成された金属珪化物層11をボロン化合物層8へと変態させる。元々の金属珪化物層11が均一かつ平坦に形成されているおかげで、金属ボロン化合物層8も平坦かつ均一に形成することが可能となる。また、第2の熱処理では、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタのシリコンゲートに添加された不純物の電気的活性化工程も兼ねている。

【0075】次に、金属珪化物がボロンと反応して金属ボロン化合物に変態する例を、金属としてチタンを用い

て説明する。この化学反応は熱力学的に許容された無理のない反応過程であることが理論的に予測される。

【0076】一例として、1原子%のボロンが添加されたp⁺シリコン基板上にチタン珪化物(TiSi₂)層を形成し、これを高温熱処理(850℃)した時の化学反応を考えてみる。

【0077】ボロンが添加されたp⁺シリコンとチタン珪化物(TiSi₂)からシリコン(Si)とチタンボロン化合物(TiB₂)が形成される化学反応式は以下のようになる。

【0078】 $2/3\text{Si} + \text{TiSi}_2 \rightarrow 2/3\text{Si} + \text{TiB}_2$ 注目すべき点は、この反応式の生成自由エネルギー $\Delta G = -10192\text{J}$ (1000K)である。すなわちこの系では、ボロンさえ有ればチタン珪化物(TiSi₂)からチタンボロン化合物(TiB₂)への変態は自発的に進行する化学反応である。

【0079】以上の理論的な予測を実際に確認する為に、ゲート絶縁膜としてジルコニウム酸化物として用い、その上にチタン薄膜を形成し、その上にボロンが添加されたシリコン層を堆積し、800℃程度の熱処理を行った後、1000℃程度の高温熱処理を行いチタンボロン化合物が形成されるかどうか実験を行った。

【0080】図12に、形成された積層構造をSIMSにより分析した実験結果を示す。横軸は基板裏面からの深さ、縦軸はボロンの密度である。

【0081】図12に示すように、ジルコニウム酸化物膜から来るジルコニウムのピークに対し、チタンとボロンのピークは同じ形状でシリコンゲート電極側に偏って分布しており、ジルコニウム酸化物膜上にチタンとボロンからなる化合物が形成されていることが現実に示された。

【0082】このことは、シリコンゲート電極中のボロン濃度がジルコニウム酸化物膜との界面付近でいったん低下している(図12中矢印Aで示す)ことから明らかである。

【0083】比較のために、図13に、チタン薄膜を挿入せずに、上記熱処理工程を行った場合の積層構造のSIMSにより分析した実験結果を示す。

【0084】この場合には当然ながらジルコニウム酸化物上にボロンの化合物は形成されないもので、シリコンゲート電極中のボロン濃度は平坦である。

【0085】特筆すべきは、図12及び図13におけるシリコン基板側へのボロン付き抜け挙動の違いである。

【0086】すなわち、図12におけるチタンボロン化合物(TiB₂)を形成した場合には、このチタンボロン化合物(TiB₂)がボロンの吸い取り口となり、シリコン基板側へボロンが拡散するのを有効に抑えてこんでいる。

【0087】一方図13の場合では、ボロンがシリコン基板側へ大量に拡散していることが分かる。

【0088】このように本発明では、ボロンの突き抜けを防ぐ効果も奏することがわかる。

【0089】また、金属ボロン化合物層は、金属：ボロン＝1：1.5～2の範囲で形成されることが好ましい。金属に対するボロンの比率が1.5以下だと、金属ボロン化合物の化学的安定性が低下し、本発明の効果が発揮できなくなるためである。

【0090】また、金属ボロン化合物の自由エネルギーの絶対値が、金属珪化物の自由エネルギーの絶対値よりも大きい金属元素を用いることで本発明の効果が期待でき

る。【0091】また、シリコン電極にゲルマニウムを含有したSiGe電極を用いても良い。

【0092】（実施形態2）次に、金属珪化物層の別の形成方法について述べる。本実施形態では、ゲート絶縁膜の形成時にゲート絶縁膜中に金属元素を添加する。次に、シリコン膜を堆積し、熱処理によって、ゲート絶縁膜中に添加された金属とシリコン膜とを反応して金属珪化物層を形成するものである。

【0093】図14にその概念図を示す。

【0094】図14(a)に示すように、シリコン基板4上に、金属添加されたゲート絶縁膜100を形成する。ここでは、スパッタリングを用い、ジルコニウム酸化物中にチタン金属を添加する例を示す。

【0095】まず、スパッタリングターゲットとしてジルコニウム酸化物ターゲットとチタン金属ターゲットを用い、スパッタガスとしてアルゴンガスのみ或いはアルゴンガスに極微量の酸素ガスを添加したガスを用いた。

【0096】アルゴンガスに酸素ガスを添加する場合には、酸素ガスの流量は1sccm以下が望ましい。このような成膜手段によれば、成膜されるジルコニウム酸化物膜は化学量論的組成になり、添加されるチタン元素は酸素元素との結合が不足した状態をとる。

【0097】次に、図14(b)に示すように、金属添加されたゲート絶縁膜100上に導電性膜101として、例えばシリコン膜を堆積し、750℃程度の熱処理を加える。こうすることにより金属添加されたゲート絶縁膜100中と導電性膜101との間に金属珪化物層11が形成される。

【0098】これは金属添加されたゲート絶縁膜100中の酸素との結合が不十分な金属元素が還元され、導電性膜101中のシリコンと結合し、チタン珪化物層11を作るためである。

【0099】このような製造方法をとることの利点は以下の2点である。

【0100】第1に、実施形態1に示すようなゲート絶縁膜上に金属薄膜を形成する工程において、ゲート絶縁膜と金属薄膜の濡れ性が悪い組み合わせの場合には平坦な金属薄膜を形成するのが非常に困難となる。しかしながら本実施形態の方法では、この問題を容易に解決でき

る。

【0101】第2に、本実施形態の方法によれば金属薄膜形成工程を減らすことができ、工程短縮できるメリットがある。

【0102】本実施形態の方法において、ゲート絶縁膜に添加する金属元素は、これを珪化物とボロン化合物に作り分けるために、チタン、ジルコニウム、ハフニウムを用いることが好ましい。なかでも、提示の酸化状態を持ち容易に還元される特徴を有するチタンを添加することが最も望ましい。添加される側のゲート絶縁膜としては、実施形態1で例示した材料系がそのまま利用できる。

【0103】また、ここでは金属添加ゲート絶縁膜の形成方法としてスパッタリングによる例を示したが、これに限らない。

【0104】（実施形態3）次に、金属珪化物層の別の形成方法について述べる。本実施形態では、ゲート絶縁膜を形成し、この表面を還元することによって還元された金属酸化物膜（例えば金属薄膜）を得る。次に、この上にシリコン膜を堆積し、熱処理によって、還元された金属酸化物膜とシリコン膜とを反応して金属珪化物層を形成するものである。

【0105】図15にその概念図を示す。

【0106】まず、図15(a)に示すように、シリコン基板4上に金属酸化物からなるゲート絶縁膜102を形成する。金属としてはチタン、ジルコニウム、ハフニウムを用いることができる。次にこの金属酸化物からなるゲート絶縁膜102の表面の一部を還元して還元された金属酸化物膜、ここでは金属薄膜103を形成する。

【0107】還元の方法としては水素などの還元雰囲気での熱処理などを用いることができる。通常の水素分子雰囲気などでは金属酸化物からなるゲート絶縁膜102の一部のみを還元するのは技術的に困難だが、たとえば水素ラジカル、不活性ガスプラズマによる被爆などにより金属酸化物からなるゲート絶縁膜102の最表面近傍のみを部分還元することが技術的に可能である。

【0108】また、この際には、還元作用によって金属酸化物が完全に金属まで還元されずとも、不安定な酸化状態である低次の金属酸化物状態であってもよい。

【0109】また、この部分還元の方法では金属酸化物では無く金属シリケートを用いることも可能である。

【0110】次に、図15(b)に示すように、金属薄膜103上に導電性薄膜104として、例えばシリコン膜を形成する。

【0111】次に、図15(c)に示すように、この基板を熱処理することで導電性薄膜104中のシリコンと金属薄膜103中の金属とを反応させて金属珪化物層105を形成することができる。

【0112】このような製造方法をとることの利点は、ゲート絶縁膜上に平坦な金属薄膜を形成することが困難

な系でも、平坦な金属珪化物及び金属ボロン化合物を形成できる点にある。

【0113】

【発明の効果】ゲート電極の低抵抗化、空乏化による絶縁膜容量低下、不純物突き抜け問題のないゲート電極を有する半導体装置を提供できる。

【0114】また、シリコンプロセスを用いた簡単な方法により上記半導体装置を製造する方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明にかかるpチャネルMOSトランジスタの断面図。

【図2】 本発明にかかるCMOSデバイスのうちnチャネルMOSトランジスタの断面図。

【図3】 チタン珪化物、チタンボロン化合物、 n^+ シリコン及び p^+ シリコンのバンド図。

【図4】 本発明にかかるCMOSデバイスの断面図。

【図5】 本発明にかかるCMOSの製造工程の一例を示す断面図。

【図6】 本発明にかかるCMOSの製造工程の一例を示す断面図。

【図7】 本発明にかかるCMOSの製造工程の一例を示す断面図。

【図8】 本発明にかかるCMOSの製造工程の一例を示す断面図。

【図9】 本発明にかかるCMOSの製造工程の一例を示す断面図。

【図10】 本発明にかかるCMOSの製造工程の一例を示す断面図。

【図11】 本発明にかかるCMOSの製造工程の一例を示す断面図。

【図12】 本発明にかかる金属ボロン化合物形成の実現性を示すSIMS実験結果。

【図13】 金属ボロン化合物を形成しない場合のSIMS

*MS実験結果。

【図14】 (a) (b)は、金属珪化物層を形成する別の方法における主要工程の断面図。

【図15】 (a) (b) (c)は、金属珪化物層を形成する別の方法における主要工程の断面図。

【符号の説明】

1・・・pチャネルMOSトランジスタ

2・・・nチャネルMOSトランジスタ

3・・・Nシリコンウェル

10 4・・・シリコン基板

5・・・Pシリコンウェル

6・・・シャロートレンチ構造の素子分離

7・・・ゲート絶縁膜

8・・・金属ボロン化合物層

9・・・ p^+ 多結晶シリコン

10・・・サリサイド

11・・・金属珪化物層

12・・・ n^+ 多結晶シリコン

13・・・深い p^+ 不純物拡散層

14・・・深い n^+ 不純物拡散層

15・・・浅い p^+ 不純物拡散層

16・・・浅い n^+ 不純物拡散層

17・・・ゲート側壁

18・・・金属薄膜

19・・・ノンドープの多結晶シリコン層

20・・・p型不純物添加されたシリコン層

21・・・n型不純物添加されたシリコン層

100・・・金属添加されたゲート絶縁膜

101・・・導電性膜

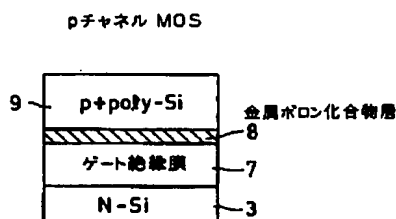
102・・・ゲート絶縁膜

103・・・還元されたゲート絶縁膜

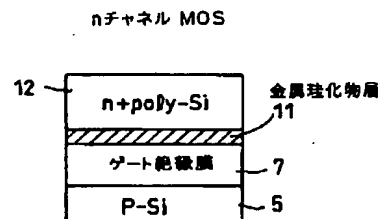
104・・・導電性膜

105・・・金属珪化物層

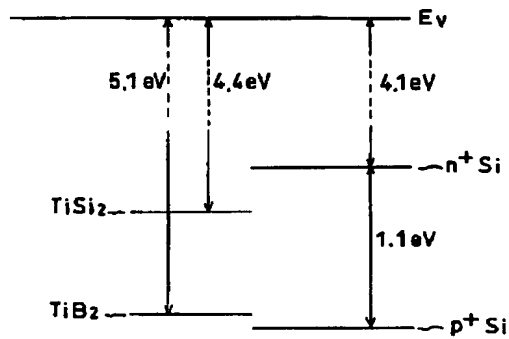
【図1】



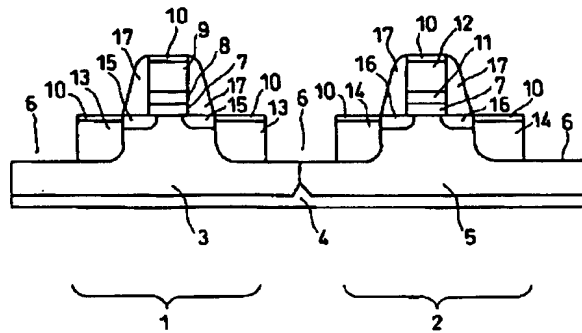
【図2】



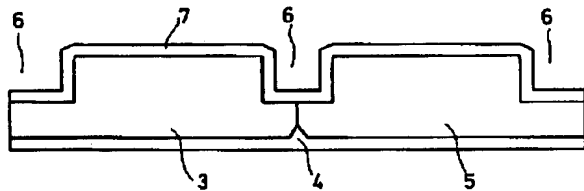
【図3】



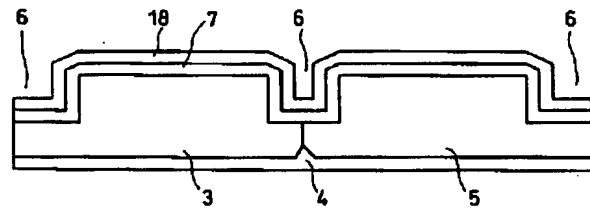
【図4】



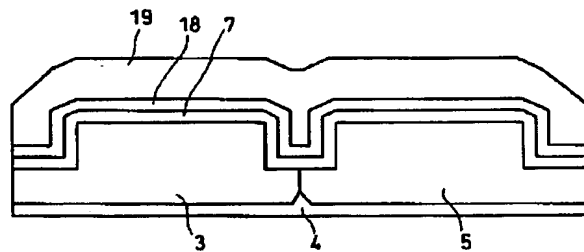
【図5】



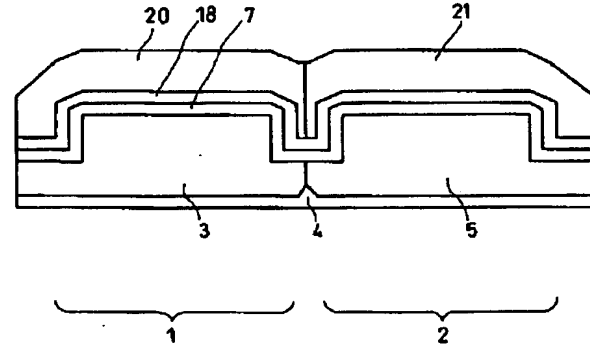
【図6】



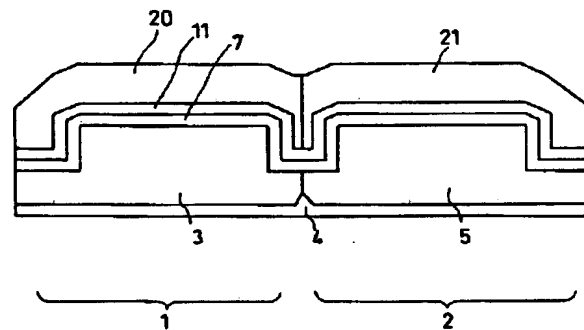
【図7】



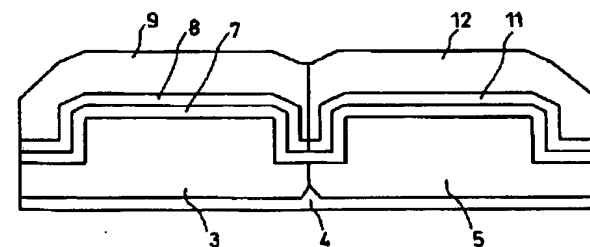
【図8】



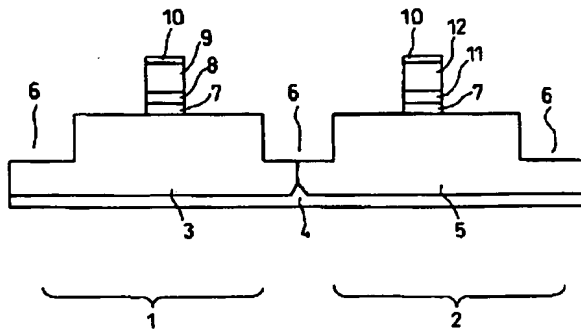
【図9】



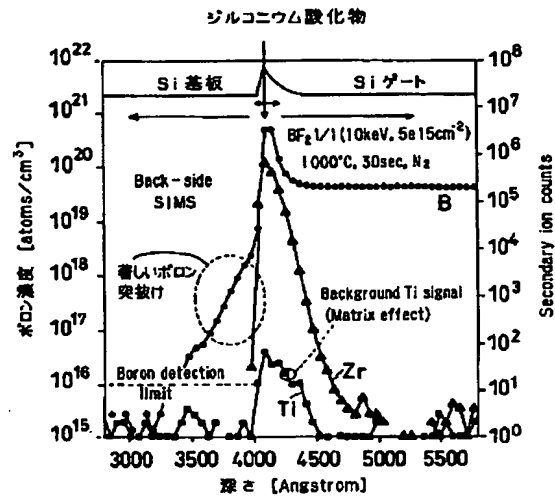
【図10】



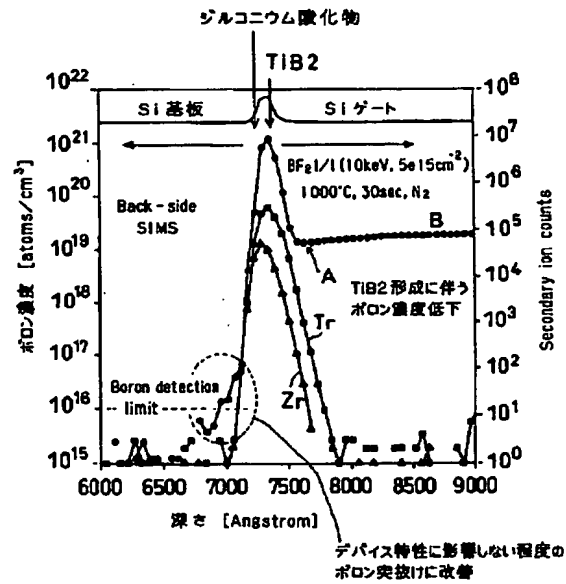
【図11】



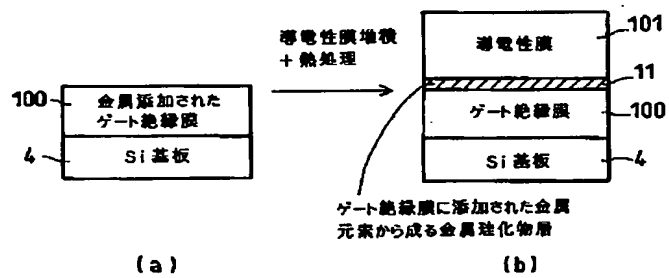
【図13】



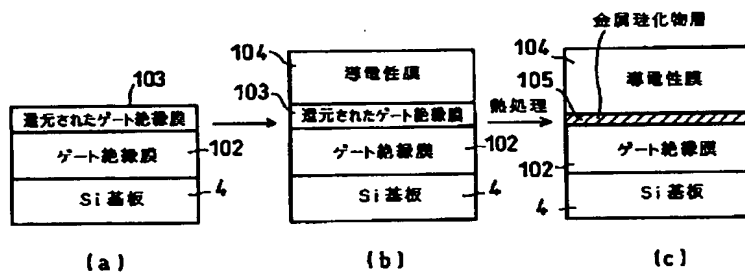
【図12】



【図14】



【図15】



フロントページの続き

F ターム(参考) 4M104 AA01 BB24 BB25 BB35 BB38
BB40 CC05 DD04 DD26 DD34
DD37 DD43 DD65 DD66 DD79
DD83 DD84 EE03 EE14 EE15
FF13 FF14 GG09 GG10 HH05
HH16
5F048 AA00 AC03 BA01 BB04 BB06
BB07 BB08 BB11 BB13 BC06
BE03 BF06 BG14 DA25
5F140 AA01 AA06 AB03 AC01 BA01
BD07 BD09 BD11 BD12 BD17
BE09 BE13 BF08 BF10 BF11
BF14 BF18 BF21 BF28 BG08
BG12 BG26 BG28 BG30 BG31
BG32 BG33 BG34 BH05 BH15
BJ01 BJ08 BK02 BK13 BK27
BK34 CB04 CB08 CE16